

CIRCUIT BOARD AND ELECTRONIC APPARATUS USING IT

Publication number: JP2002252452 (A)

Publication date: 2002-09-06

Inventor(s): ISHIZUKA NAOMI; KONO HIDEKAZU; SUZUKI
MOTOHARU; SATO AKIHIRO; MATSUOKA HIROSHI;
MATSUMOTO SHOICHI; KANAI MASAFUMI

Applicant(s): NIPPON ELECTRIC CO; NEC ACCESS TECHNICA LTD

Classification:

- international: H01R4/02; H05K1/11; H05K3/34; H01R4/02; H05K1/11;
H05K3/34; (IPC1-7): H05K3/34

- European: H01R4/02D; H05K1/11D2; H05K3/34D

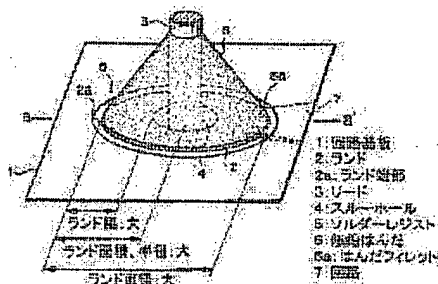
Application number: JP20010322463 20011019

Priority number(s): JP20010322463 20011019; JP20000384964 20001219

Also published as:

JP3726046 (B2)
US2002074164 (A1)**Abstract of JP 2002252452 (A)**

PROBLEM TO BE SOLVED: To prevent the occurrence of land peeling or fillet peeling on a circuit board. **SOLUTION:** The circuit board 1 is provided with a land 2 having a through hole 4 into which a lead 3 of an electronic part is inserted. The internal surface of the hole 4 is coated with a conductive film, and the lead 3 and land 2 are mounted on the board 1 by using lead-free solder 6. The width of the land 2 which is the difference between the radii of the land 2 and through hole 4 is set at 0.4 mm and more so that the adhesive strength of the land 2 becomes higher than the peeling strength of the land 2. The circuit board 1 carries circuit wiring on at least its front and rear surfaces.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-252452

(P2002-252452A)

(43) 公開日 平成14年9月6日 (2002.9.6)

(51) Int.Cl.⁷

H 0 5 K 3/34

識別記号

5 0 1

5 1 2

F I

H 0 5 K 3/34

テーマコード(参考)

5 0 1 C 5 E 3 1 9

5 1 2 C

審査請求 有 請求項の数 8 O L (全 9 頁)

(21) 出願番号 特願2001-322463(P2001-322463)

(22) 出願日 平成13年10月19日 (2001. 10. 19)

(31) 優先権主張番号 特願2000-384964(P2000-384964)

(32) 優先日 平成12年12月19日 (2000. 12. 19)

(33) 優先権主張国 日本 (J P)

特許法第30条第1項適用申請有り 平成12年11月9日
社団法人エレクトロニクス実装学会発行の「ME S 2000
第10回マイクロエレクトロニクスシンポジウム 論文
集」に発表

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 000197366

エヌイーシーアクセステクニカ株式会社

静岡県掛川市下俣800番地

(72) 発明者 石塚 直美

東京都港区芝五丁目7番1号 日本電気株
式会社内

(74) 代理人 100065385

弁理士 山下 稔平

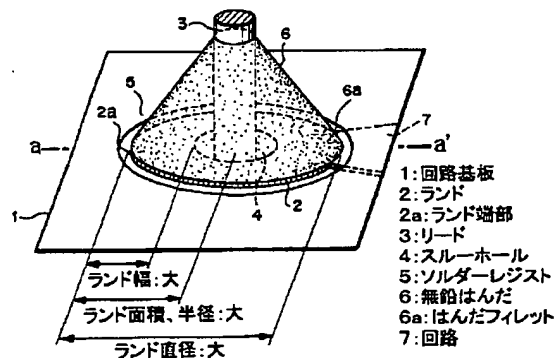
最終頁に続く

(54) 【発明の名称】 回路基板及びそれを用いた電子機器

(57) 【要約】

【課題】 ランドはく離やフィレットはく離を防止する。

【解決手段】 電子部品のリードが挿入される貫通孔4を有するランド2を備え、貫通孔4には導電膜が被覆され、リード3とランド2とが無鉛はんだ6を用いて実装される回路基板において、ランド2の半径と貫通孔4の半径との差であるランド2の幅が、0.4mm以上に設定されている。ランド2の半径と貫通孔4の半径との差であるランド2の幅を、ランドの密着力がランドの剥離力よりも大きくなるような幅とした。回路基板1が、少なくとも、表面と裏面とに回路配線を有する。



【特許請求の範囲】

【請求項1】 表面と裏面とに回路配線を有する回路基板であって、電子部品の導電部材が挿入される貫通孔を有し、該貫通孔には導電膜が被覆されてなるランドを備え、前記導電部材と前記ランドとが無鉛はんだを用いて実装される回路基板において、前記ランドの半径と前記貫通孔の半径との差である前記ランドの幅が、0.4mm以上に設定されていることを特徴とする回路基板。

【請求項2】 表面と裏面とに回路配線を有する回路基板であって、電子部品の導電部材が挿入される貫通孔を有し、該貫通孔には導電膜が被覆されてなるランドを備え、前記導電部材と前記ランドとが無鉛はんだを用いて実装される回路基板において、前記ランドの半径と前記貫通孔の半径との差である前記ランドの幅を、前記ランドの密着力が前記ランドの剥離力よりも大きくなるような幅としたことを特徴とする回路基板。

【請求項3】 前記導電部材と前記ランドとの間であって、前記ランド上にフィレットを形成していることを特徴とする請求項1又は請求項2に記載の回路基板。

【請求項4】 前記無鉛はんだが、錫亜鉛系はんだ、錫銀系はんだ、又は、錫銅系はんだのいずれかを含むことを特徴とする請求項1乃至3のいずれか1項に記載の回路基板。

【請求項5】 前記ランドを複数個有し、複数の該ランドは1~5mmピッチで配されていることを特徴とする請求項1乃至4のいずれか1項に記載の回路基板。

【請求項6】 前記電子部品は、前記導電部材が列をなすように二以上配置された導電部材列を有し、前記導電部材列が一行又は複数列配されていることを特徴とする請求項1乃至5のいずれか1項に記載の回路基板。

【請求項7】 前記電子部品は、IC、ICソケット、コネクタの少なくとも一つを含むことを特徴とする請求項6記載の回路基板。

【請求項8】 電子部品が無鉛はんだで挿入実装された請求項1乃至7のいずれか1項に記載の回路基板を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路基板及びそれを用いた電子機器に関し、特に、無鉛はんだを用いて挿入型電子部品を実装する場合の回路基板及びそれを用いた電子機器に関する。

【0002】

【従来の技術】従来の回路基板の構造について、図9乃至図14を用いて詳細に説明する。図9は、回路基板に電子部品が実装された、はんだ付け部の斜視図であり、図10は、図9のb-b'の断面図、図11は、ランドはく離の発生状態を模式的に示す断面図である。また、

図12乃至図14は、検証実験において確認されたランドはく離の発生を示す図であり、図12は、図11のA部(左右反転)の断面写真、図13は、図11のB部の断面写真、図14は、図13のC部の拡大写真である。

【0003】図9及び図10に示すように、従来の回路基板11は、紙基材及びガラス基材、ポリエステル繊維基材などに、エポキシ樹脂、フェノール樹脂などをしみこませた絶縁性シート上に、銅箔を加圧加熱処理して貼り付けた銅張積層基板を形成した後、該基板の所望の箇所に貫通孔を形成し、貫通孔の側面に触媒付与後無電解銅メッキにより下地メッキを行い、その上に電解銅メッキして導電体(導電膜)を形成し、この導電体と銅張積層基板表面の銅膜とを接合し、スルーホール4を形成する。その後、銅張積層基板表面の銅からなる導電膜をエッチングすることによりランド2を形成する。

【0004】そして最後に、はんだ付けを行うランド2以外の部分に、錫鉛はんだ12が付かないようにソルダーレジスト5を印刷塗布後、感光することによって回路基板11を形成する。このとき、ソルダーレジスト5は、リード3を実装するランド2以外の回路7を保護する役割を担っている。

【0005】ここで、回路基板11におけるソルダーレジスト5は、ランド2の面積よりも大きくなるように印刷し、ソルダーレジスト5がランド2に被らないように形成されている。これは、現在、電子機器はんだ接合に最も多く使われている錫鉛共晶はんだ(Sn63wt%、残りPb)を用いた、はんだ付けでは、ランド2にソルダーレジスト5が被ると、錫鉛はんだ12のフィレット12a形成を阻害するためである。

【0006】又、近年の高密度実装化に伴い、ランド2に関しても、最低限の接合強度が確保出来る範囲で、出来るだけ小さく形成されている。そして、このような従来の回路基板11を用いて製造される電子機器は、錫鉛共晶はんだが異物質の接合により生じる熱膨張のミスマッチを応力緩和する役割を果たしていたため、信頼性上特に問題とはならなかった。

【0007】

【発明が解決しようとする課題】しかしながら、近年、鉛による環境汚染が環境意識の高まりにより問題となり、鉛を含まない無鉛はんだへの転換が進んでいる。この無鉛はんだは、錫を主成分とし、銀、銅、亜鉛、ビスマス、インジウム、アンチモン、ニッケル、ゲルマニウムなどからなっており、現在、電子機器はんだ接合に最も多く使われている錫鉛共晶はんだ(Sn63wt%、残りPb、以下Pb-63Snと記載)に比べ、金属の引張り強度、クリープ強度が強く、また伸びが少ないという金属特性を持っている。このため、はんだ付け部においては鉛はんだより応力緩和が起こりにくく、また、溶融温度も錫鉛共晶はんだが183℃であるのに比べ、無鉛はんだは190℃~230℃と高くなっている。

【0008】現在のおもな無鉛はんだとしては、錫亜鉛系はんだ（錫亜鉛の共晶組成であるSn-9.0wt% Znwpを中心に、亜鉛の量を変えたり、他の元素を添加して特性を改善したものを総称して錫亜鉛系はんだという。代表例は、Sn-8.0Zn-3.0Bi）や、錫銅系はんだ（代表例は、Sn-0.7Cu-0.3Ag）や錫銀系はんだ（代表例は、Sn-3.0Ag-0.5Cu）等がある。

【0009】上記錫亜鉛系はんだは、融点点が190℃前後と低いという長所を持つてはいるが、酸化しやすいために不活性雰囲気又は真空中ではんだを行うことが必要となり、作業性が悪いという問題がある。

【0010】また、錫銅系はんだや錫銀系はんだは、酸化に対する問題は少ないが、錫銅系はんだは、融点温度が約230℃と高く、ランドはく離が生じやすいと言う欠点を持っている。

【0011】更に、錫銀系はんだは、融点点は約220℃と錫銅系はんだより低く、Bi（ビスマス）を添加することで融点点を205℃程度にまで下げることが出来る。

【0012】融点点はビスマスの添加量を増やすことで下がるが、ビスマスの添加量を増やすとフィレットはく離が生じるという欠点を持っている。

【0013】一方、回路基板の主材料であるエポキシ系材料のガラス転移温度は125～140℃であり、無鉛はんだを用いた場合は錫鉛はんだの場合よりも凝固収縮温度の差が広がり、無鉛はんだの接合部に掛かる応力が大きくなる。このような無鉛はんだの金属特性から、従来の回路基板11を用いて無鉛はんだ6で挿入実装を行うと、錫鉛はんだ12ではほとんど発生しなかったランドはく離が多発することが明らかとなった。

【0014】ランドはく離の発生例について図を用いて詳しく説明する。図11に示すように、従来の回路基板11を用いて無鉛はんだ6のはんだ付けを行うと、基板材料と無鉛はんだ6との凝固収縮温度の差によりランド2に大きな応力が加わり、ランド2と回路基板11の間がはく離し、ランド2が浮き上がった状態となる（図11のA部及び図12参照）。このとき、ランド2に接続されている回路7は、一緒に持ち上げられて引っ張られることによって過度のストレスを受け、ランド端部2aと回路7の境目部分が大きく変形し、断線に至っていることが確認できる（図11のB部及び図13、図14参照）。つまり、ランドはく離が発生することによって、回路7の断線が発生することがわかる。

【0015】また、このようなランドはく離が発生する従来の回路基板11を用いて電子機器の製造を行うことは、電子機器の信頼性を著しく低下させるという問題点がある。

【0016】本発明は、上記問題点に鑑みてなされたものであって、その主な目的は、無鉛はんだを用いてもラ

ンドはく離やフィレットはく離が生じることのない、高信頼性の回路基板を提供することにある。

【0017】また、本発明の他の目的は、上記回路基板を用いて、高信頼性の電子機器を提供することにある。

【0018】

【課題を解決するための手段】上記目的を達成するため、本発明は、表面と裏面とに回路配線を有する回路基板であって、電子部品の導電部材が挿入される貫通孔を有し、該貫通孔には導電膜が被覆されてなるランドを備え、前記導電部材と前記ランドとが無鉛はんだを用いて実装される回路基板において、前記ランドの半径と前記貫通孔の半径との差である前記ランドの幅が、0.4mm以上に設定されているものである。

【0019】また本発明は、表面と裏面とに回路配線を有する回路基板であって、電子部品の導電部材が挿入される貫通孔を有し、該貫通孔には導電膜が被覆されてなるランドを備え、前記導電部材と前記ランドとが無鉛はんだを用いて実装される回路基板において、前記ランドの半径と前記貫通孔の半径との差である前記ランドの幅を、前記ランドの密着力が前記ランドの剥離力よりも大きくなるような幅としたものである。

【0020】なお本発明は電子部品の導電部材が挿入される貫通孔に導電膜が被覆された（スルーホールメッキが施された）回路基板、すなわち、両面基板や多層基板等に適用される。

【0021】また、本発明においては、前記無鉛はんだが、錫亜鉛系はんだ、錫銀系はんだ、又は、錫銅系はんだのいずれかを含むことが好ましい。

【0022】また、本発明の電子機器は、上記回路基板に、電子部品が無鉛はんだで挿入実装されているものである。

【0023】なお、無鉛はんだには、性質が変わらない程度に不純物として鉛を含む場合も含まれるものとする。既に述べたように、無鉛はんだは、鉛を含むはんだに比べ融点が高く、応力緩和力が低く、ランド剥離が生じやすい。

【0024】しかし、本発明による回路基板は、例えば図1に示されるように、電子部品のリード3を挿入実装するためのスルーホール4の周りにはんだ付けを行うランド2が形成される回路基板において、ランド2とスルーホール4の半径の差（ランド2の幅）を所定の値以上に設定することにより、大きな力でランド2と回路基板1とを密着させることができるため、ランド2のはく離を防止し、無鉛はんだ6を用いた場合でも十分に信頼性の高い電子機器を製造することができる。

【0025】

【発明の実施の形態】本発明に係る回路基板は、例えば図1に示されるように、その好ましい一実施の形態において、電子部品のリード3が挿入されるスルーホール4を有するランド2を備え、リード3とランド2とが無鉛

はんだ6を用いて実装される回路基板1において、ランド2の半径とスルーホール4の半径との差(ランド2の幅)が0.40mm以上となるようにランド2を形成することにより、無鉛はんだ6の凝固収縮力と回路基板1の収縮力によるランド2をはく離しようとする力よりも大きな力でランド2と回路基板1とが密着され、又は、無鉛はんだ6が収縮する時のはんだフィレット6aに沿った斜め上方向に引っ張る力を基板の法線方向に対してより傾けることにより、基板の法線方向に作用する力が低減され、ランド2のはく離が防止される。

【0026】

【実施例】上記した本発明についてさらに詳細に説明すべく、本発明の実施例について、図面を参照して詳述する。図1は、本発明の回路基板に電子部品が実装された状態を示す斜視図であり、図2は、図1のa-a'の断面図である。

【0027】本実施例の回路基板1は、例えば、前述した従来例と同様に、紙基材及びガラス基材、ポリエステル繊維基材などに、エポキシ樹脂、フェノール樹脂などをしみこませた絶縁性シート上に、銅箔等を加圧加熱処理して貼り付けた銅張積層基板を形成した後、該基板の所望の箇所に電子部品のリード(導電部材となる)3を挿入実装するための貫通孔を形成し、貫通孔の側面に触媒を付与し無電解銅メッキにより下地メッキを行い、その上に電解銅メッキして導電体(導電膜)を形成し、この導電体と銅張積層基板表面の銅膜とを接合し、スルーホール4を形成する。

【0028】その後、銅張積層基板表面の銅等からなる導電膜をエッチングしてランド2を形成するが、その際、本実施例では、銅張積層基板と銅等からなる導電膜との密着力を高めるために、又はランド2の半径とスルーホール4の半径との差(ランド2の幅)が所定の値以上になるようにエッチング領域を設定する。その後、はんだ付けを行うランド2以外の部分に、無鉛はんだ6が付かないようにソルダーレジスト5を印刷塗布後、感光することによって回路基板1を形成する。

【0029】本実施例は、無鉛はんだを用いた場合においても、ランドはく離を防止することができ、かつ、錫鉛共晶はんだにもそのまま適用することができる構成を

提案するものである。なお、本発明は、本願発明者らが先に発表した論文(ME S2000(第10回マイクロエレクトロニクスシンポジウム)2000年11月、207~210頁)において開示した技術と同一の思想に基づくものであり、ランド2の半径とスルーホール4の半径との差(ランド2の幅)が所定の値以上になればランドはく離が抑制されるという実験結果より得た知見を具体化したものである。

【0030】本実施例は、スルーホール4の直径及びランド2の直径を種々組み合わせた回路基板1を用意し、その回路基板1にSn-3.0Ag-0.5Cu錫銀系の無鉛はんだを用いて電子部品を実装し、ランドはく離の発生率を調査したものである。基板としては、ガラス布エポキシ系基板(FR-4)を用いた。ここで、はく離しているか否かの判断は、ソルダリング部分を斜め45°方向から顕微鏡を用いて観察することによって行い、ランド2全周の一部でもはく離しているものは1件としてカウントした。

【0031】本実施例の結果を比較例とともに、表1に示す。表1において、実施例1~7はコネクタ、実施例8、9はDIP-IC(Dual In-line Package Integrated Circuit)について、スルーホール4の直径(スルーホール径Z)及びランド2の直径(ランド直径Y)の組み合わせを変えて、ランドはく離の発生率を測定した結果を示している。比較例1~7および比較例8、9は実施例1~7、実施例8、9と同様なコネクタ、DIP-ICを用い、ランド直径のみを変えて(ランド直径X)、実施例と同様な測定を行った結果を示している。表1から分かるように、ランド2の半径($X/2$ 又は $Y/2$)とスルーホール4の半径($Z/2$)との差であるランドの幅($(X-Z)/2$ 又は $(Y-Z)/2$)とランド剥離の発生率を見ると、全体的にはランド2の直径が大きくなるに従い、ランドはく離の発生率は減少し、特に、ランド幅が0.4mm以上の場合($(Y-Z)/2$ のデータ)には、ランドはく離の発生率は10%以下となり、信頼性上問題とならない程度まで、発生を抑えることができることが分かる。

【0032】

【表1】

表1 (ランド直径Y:実施例、ランド直径X:比較例)

実施例・ 比較例	スルーホ- ール径 Z (mm)	ランド直 径 X (mm)	ランド直 径 Y (mm)	Xランド 幅 (X-Z)/2	Yランド 幅 (Y-Z)/2	Xランド 剥離発生 率 (%)	Yランド 剥離発生 率 (%)
実施例1・ 比較例1	0.6	1.1	1.4	0.25	0.4	31.3	0
実施例2・ 比較例2	0.8	1.3	1.6	0.25	0.4	21	4
実施例3・ 比較例3	0.9	1.35	1.7	0.225	0.4	25	0
実施例4・ 比較例4	0.9	1.35	1.7	0.225	0.4	59.2	0
実施例5・ 比較例5	1	1.6	1.9	0.3	0.45	33	0
実施例6・ 比較例6	1.5	2.2	2.5	0.35	0.5	21	0
実施例7・ 比較例7	1.7	2.4	2.7	0.35	0.5	37.5	0
実施例8・ 比較例8	0.8	1.4	1.7	0.3	0.45	84	6
実施例9・ 比較例9	1	1.6	1.9	0.3	0.45	56	6

このように、ランド2の幅が大きい場合には、ランドの密着面積が大きくなるため、ランド2（銅箔）の密着強度がランド2をはく離させる力を上回ることで、また、無鉛はんだ6が収縮する時ののはんだフィレット6aに沿った斜め上方向に引っ張る力を基板の法線方向に対してより傾けることにより、基板の法線方向に作用する力が低減されること等の理由により、ランドはく離を抑制することができる。

【0033】そして、上記効果が生じる値としては、実験データから、ランド2の半径とスルーホール4の半径との差（ランド2の幅）が0.40mm以上であることが好ましく、この条件を満たすようにランド2を形成すれば、ランドはく離を防止することができる。

【0034】図5はランドはく離を抑制する原理を説明するための図である。図5に示すように、ランド剥離は発生力 $T \cdot \sin \theta$ と発生力 ΔL とがランド端部のB点に働くために起こる。従って、ランド剥離を抑制するのは、発生力 $T \cdot \sin \theta$ と発生力 ΔL とを小さくすればよい。

【0035】ここで、Tは半田の収縮力で、 $(1/3) \pi r^2 \cdot h$ （rはフィレット半径、hはフィレット高さである。）に比例するので、発生力 $T \cdot \sin \theta$ を小さくするには、フィレット半径rを小さく、 θ を小さくすればよい。また、 ΔL は $W \cdot \pi (R^2 - d^2)$ に比例し（Rはランド半径、dはリード半径、Wは基板の収縮力である。）、さらにWは $\alpha \cdot t$ に比例する（ α は基板の熱膨張係数、tは基板の厚さ）ので、発生力 ΔL とを小さくするには、 α を小さく、ランド半径Rを大きくすればよい。ランド半径Rが大きくなれば θ も小さくなるので、発生力 $T \cdot \sin \theta$ と発生力 ΔL とを小さくするには、結局、ランド半径Rを大きくすればよい。そして、ランドの剥離力がランド（銅箔）の密着強度よりも小さ

くなるように、ランド半径Rを設定すれば、ランド剥離を抑制することができる。図6はランド半径が小さいために、ランド剥離が生じた状態を示し、図7はランド半径を大きくしてランド剥離を抑制した状態を示す図である。図8はランド半径Rを大きくしたために、半田がランド端まで塗れ広がり、端部において θ が非常に小さい状態を示す図である。

【0036】次に、ランドはく離をさらに抑制する他の実施例について説明する。この構成は、ソルダーレジスト5を形成する領域に特徴を有するものであり、具体的には、図3及び図4に示すように、ソルダーレジスト5の開口面積をスルーホール4とランド2とを合わせた面積よりも小さくし、尚かつ、ランド端部2aにソルダーレジスト5を被せるようにしたものである。

【0037】上記構成により、はんだフィレット6aがランド端部2aよりも内側に形成され、無鉛はんだ6が収縮する時の、はんだフィレット6aに沿った斜め上方向への張力とはんだフィレット形成角との関係により発生する、回路基板1の熱収縮に反発する力が、最も回路基板1との密着が弱いランド端部2aではなく、回路基板1との密着がより高いランド2の内側に掛かるようにすることができ、無鉛はんだ6にて多発するランドはく離の抑制を図ることができる。

【0038】上記の構成は、ランド端部2aの少なくとも一部とソルダーレジスト5に重なり領域を設けるという簡単な構造で、無鉛はんだ6を用いた場合のランドはく離を防止することができるものであり、無鉛はんだ6を用いた実装においては優れた手法であり、ランド2の半径とスルーホール4の半径との差（ランド2の幅）を0.40mm以上とする構成と組み合わせることで、さらにランド剥離を抑制することができる。

【0039】なお、本実施例のランド幅を有するランド

は、実装密度が高い回路基板に用いられるランド、具体的には1～5mmピッチで配されている複数のランドに好適に用いられる。

【0040】そして、本実施例のランド幅を有するランドを用いて実装される電子部品は、導電部材（リード）が列をなすように二以上配置された導電部材列を有し、導電部材列が一行又は複数列配されている電子部品、例えば、IC、ICソケット、コネクタが挙げられる。この種の部品の実装にランド剥離が生じた場合、リード本数が多いためランド剥離の発見が困難であり、またICソケットを用いた場合にはランドが部品下に配置されるためランド剥離自体を発見することが難しく、本発明が好適に用いられる。

【0041】また、上記回路基板を用いて電子機器を製造することにより、繰り返しの熱応力サイクルに強い、高寿命かつ信頼性の高い電子機器を製造することが出来る。このような電子機器としては、例えば、プリンタ、ファクシミリ、LCDモニタ、パーソナルコンピュータ、大型コンピュータ（サーバー、スーパーコンピュータ含む）、交換機、伝送機器、基地局装置等がある。

【0042】なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

【0043】

【発明の効果】以上説明したように、本発明によれば、回路基板の表面に形成されたランドに電子部品のリードを実装するための貫通孔を形成し、貫通孔の表面にめっきを施して、回路基板の表面のランドと接合してスルーホールを形成してなる回路基板において、ランドの幅を所定の値以上に設定することにより、無鉛はんだにて多発するランドはく離を防止することができる。

【0044】その理由は、ランドと回路基板との接触面積を大きくすることにより、ランドの密着強度を大きくし、また、無鉛はんだが収縮する時のはんだフィレットに沿った斜め上方向に引っ張る力を基板の法線方向に対してより傾けることにより、基板の法線方向に作用する力を低減することができるからである。

【0045】また、上記回路基板を用いて電子機器を製造することにより、繰り返しの熱応力サイクルに強い、高寿命かつ信頼性の高い電子機器を製造することができる。

【図面の簡単な説明】

【図1】本発明の回路基板の一実施例を示す斜視図である。

【図2】本発明の回路基板の一実施例を示す断面図である。

【図3】本発明の回路基板の他の実施例を示す斜視図である。

【図4】本発明の回路基板の他の実施例を示す断面図である。

【図5】ランドはく離を抑制する原理を説明するための図である。

【図6】ランド半径が小さいために、ランド剥離が生じた状態を示す図である。

【図7】ランド半径を大きくしてランド剥離を抑制した状態を示す図である。

【図8】半田がランド端まで塗れ広がり、端部において θ が非常に小さい状態を示す図である。

【図9】従来の回路基板の構成例を示す斜視図である。

【図10】従来の回路基板の構成例を示す断面図である。

【図11】従来の構成例を用いた場合の製造不良発生を示す断面図である。

【図12】従来の構成例を用いた場合の製造不良発生を示す断面写真である。

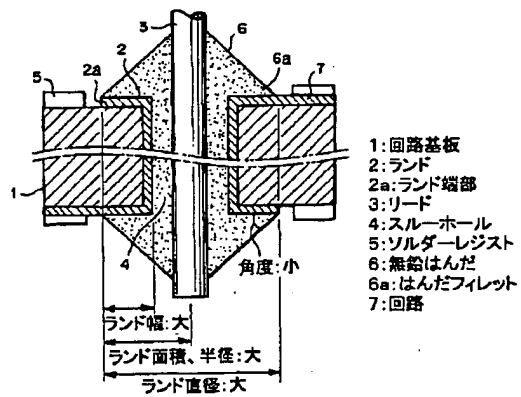
【図13】従来の構成例を用いた場合の製造不良発生を示す断面写真である。

【図14】図13の部分拡大写真である。

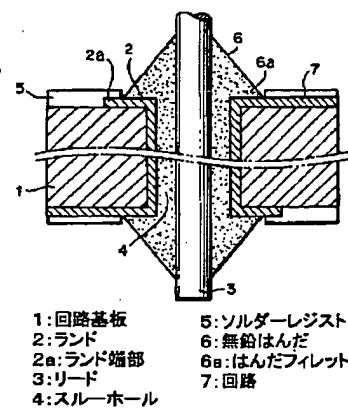
【符号の説明】

- 1 回路基板
- 2 ランド
- 2a ランド端部
- 3 リード
- 4 スルーホール
- 5 ソルダーレジスト
- 6 無鉛はんだ
- 6a はんだフィレット（無鉛はんだ）
- 7 回路
- 11 回路基板
- 12 錫鉛はんだ
- 12a はんだフィレット（錫鉛はんだ）

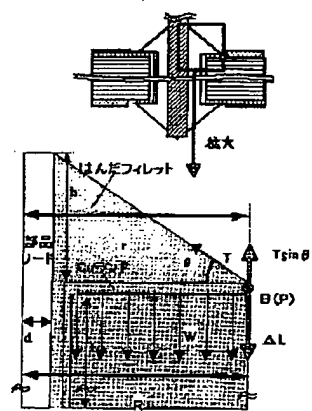
【図2】



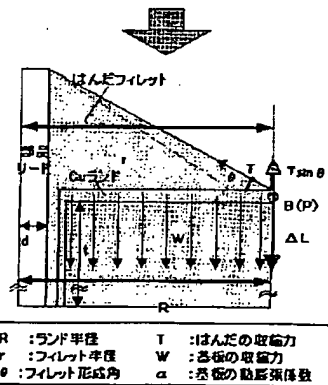
【図4】



【図5】

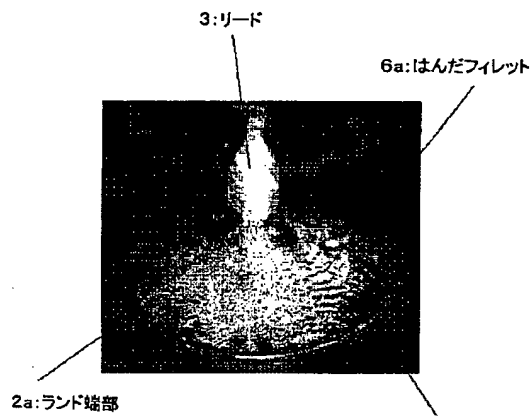


【図6】



ランド半径:0.4mm

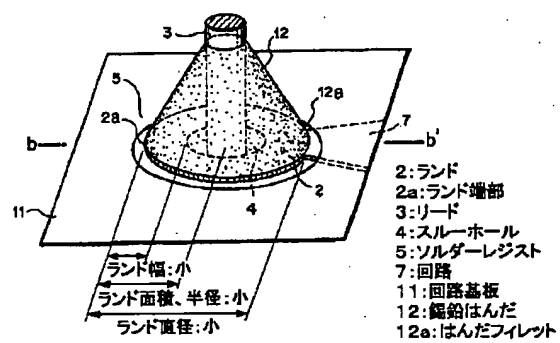
【図8】



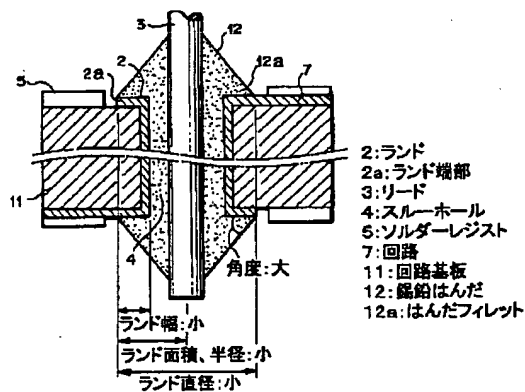
はんだがランド端まで濡れ広がり、
端部は θ が非常に小さい状態

5: ソルダーレジスト

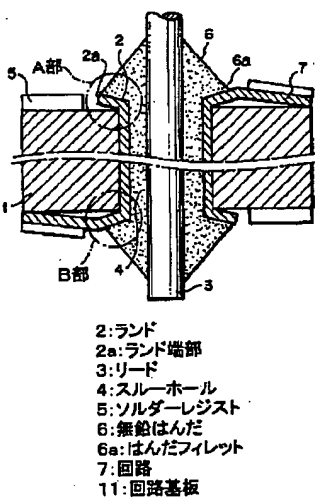
【図9】



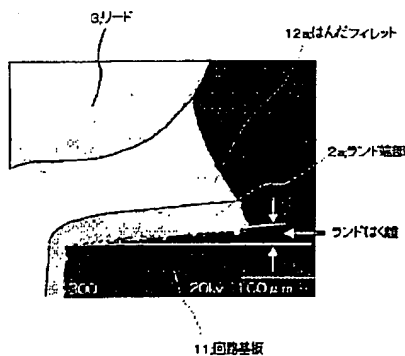
【図10】



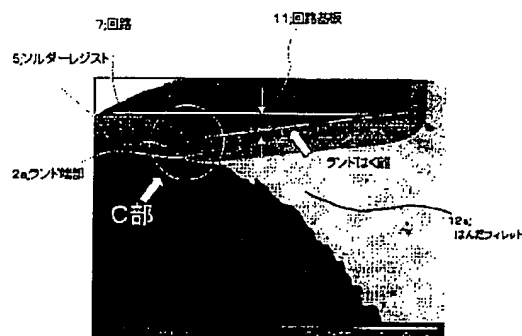
【図11】



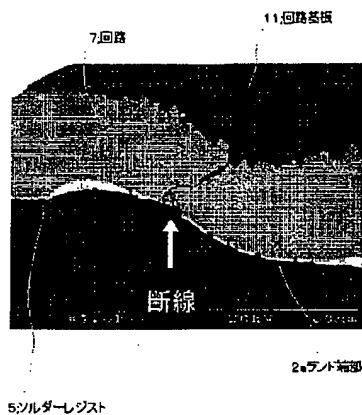
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 河野 英一
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 鈴木 元治
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 佐藤 明弘
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 松岡 洋
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 松本 昭一
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 金井 政史
静岡県掛川市下俣800番地 静岡日本電気
株式会社内

Fターム(参考) 5E319 AA02 AB01 AC02 AC11 AC17
BB01 BB08 GG03 GG15